

文章编号:1007-2780(2013)05-0742-05

基于图像分类的全局调光算法的 FPGA 实现

朱 尧^{1,2}, 赵龙彪^{1,2}, 韩 东^{1,2}, 方 勇^{1*}

(1. 特种显示技术教育部重点实验室, 特种显示技术国家工程实验室,
省部共建现代显示技术国家重点实验室培育基地, 合肥工业大学 光电技术研究院,
安徽 合肥 230009, E-mail: zhuyao090218@126.com;
2. 合肥工业大学 仪器科学与光电工程学院, 安徽 合肥 230009)

摘 要: 传统的全局调光算法无法显著提高对比度和降低功耗。鉴于此, 文章提出了基于图像分类的全局调光算法, 并基于 FPGA 硬件平台, 参照数字高清显示的逻辑和时序标准, 用 VHDL 硬件描述语言进行算法实现, 对 $1\,920 \times 1\,080$ 像素高清视频的像素数据和背光亮度同时进行调整, 从而实现显著提高高清显示器对比度和显著降低高清显示器功耗的目的。实验结果表明, 该系统能够达到设计指标, 且具有稳定可靠、通用性好、可移植性强等特点。

关 键 词: FPGA; 像素; 图像分类; 对比度; 功耗

中图分类号: TN27 文献标识码: A DOI: 10.3788/YJYXS20132805.0742

FPGA Implementation of Global Dimming Algorithm Based on Image Classification

ZHU Yao^{1,2}, ZHAO Long-biao^{1,2}, HAN Dong^{1,2}, FANG Yong^{1*}

(1. Key Lab of Special Display Technology, Ministry of Education;
National Engineering Lab of Special Display Technology; National Key Lab of Advanced Display Technology;
Academy of Opto-Electronic Technology, Hefei University of Technology;
Hefei 230009, China, E-mail: zhuyao090218@126.com;
2. Department of Instrument Science and Opto-Electronic Engineering,
Hefei University of Technology, Hefei 230009, China)

Abstract: The traditional global dimming algorithm can not significantly improve the contrast and reduce power consumption. In view of this, a classification based on image global dimming algorithm is proposed. Using VHDL language in FPGA platform, this method is implemented according to the digital high-definition display timing logic and standard. This device can change $1\,920 \times 1\,080$ pixel HD video pixel data and backlight brightness at the same time, so as to significantly improve high-definition display resolution and reduce power consumption. Experimental results show that this device can meet the design targets, and have a good reliability, versatility, portability, and other characteristics.

Key words: FPGA; pixel; image classification; contrast; power consumption

收稿日期: 2013-03-11; 修订日期: 2013-04-12

基金项目: 国家“863”计划项目(No. 2012AA011901); 安徽省科技计划项目(No. 1206C0805007)

作者简介: 朱尧(1990—), 男, 安徽濉溪人, 硕士研究生, 主要从事成像与显示技术的研究。

1 引 言

目前,以 PWM 方式控制 LED 背光的高清数字电视已成为主流^[1]。但是,由于高清数字电视存在对比度不高和 LED 背光模块占总功耗比重过大这两大固有缺陷,所以降低 LED 背光模块的功耗同时提高高清数字电视的对比度成了必须要解决的问题。

传统的全局调光算法对所有图像采取统一的处理方法,不具有针对性,无法显著提高对比度和降低功耗^[2-3]。因此,本文提出了一套依据图像不同调整 PWM 信号,从而调整 LED 背光亮度的动态背光控制系统。该系统不仅能大幅度降低高清电视的功耗,而且整机对比度有明显提高。本文对动态背光控制系统进行概述,提出了系统的整体结构。具体给出了系统的设计,分为硬件设计、算法设计和实现两部分。最后给出了系统的实验结果并加以总结。

2 系统概述

动态背光控制系统包括 1 920×1 080 像素的高清视频源、动态背光控制电路和高清视频显示终端。系统总体结构如图 1 所示。

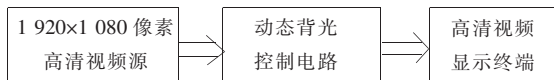


图 1 系统总体结构图
Fig. 1 Overall system structure diagram

1 920×1 080 像素的高清视频源为常用的带有 HDMI 接口的高清视频源,如 PC 机、高清播放器。动态背光控制电路为以 FPGA 为主控芯片的电路板。高清视频显示终端为经过改造的带有 HDMI 高清接口的高清电视。

3 系统设计

3.1 硬件设计

3.1.1 动态背光控制电路

动态背光控制电路结构如图 2 所示。它包括电源模块、高清视频解码模块、高清视频编码模块、SDRAM 存储器模块和 FPGA 控制模块。

(1)高清视频解码模块

本系统中高清数字视频信号采用 1 920×1 080

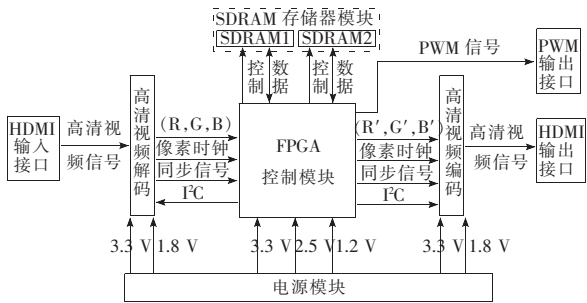


图 2 硬件系统结构图
Fig. 2 Hardware system configuration diagram

像素格式、60 帧/s。使用 ADI 公司的视频解码芯片 AD9880 完成对高清数字视频的解码。

(2)高清视频编码模块

高清视频编码芯片使用 ADI 公司的视频编码芯片 AD9889。它将 FPGA 输出的单端数字信号转换成 LVDS 信号,然后经 HDMI 接口输出。

(3)FPGA 控制模块

FPGA 控制模块主要完成数字视频信号获取、SDRAM 存/取视频数据控制、算法实现、PWM 信号输出和数字视频信号输出。FPGA 选用 Altera 公司的 CycloneIII 系列芯片 EP3C120F780C8N。

(4)SDRAM 存储器模块

1 920×1 080 像素高清视频信号每帧的数据量为 1 920×1 080×24 bit,FPGA 无法存储大量视频数据,且 FPGA 处理每帧数据均需要一定时间,故 FPGA 需要先将视频信号存储到外部 SDRAM 中。SDRAM 使用 Micron 公司的 MT48LC4M32B2。

3.1.2 高清视频显示终端

高清视频显示终端采用 PWM 方式控制 LED 背光的高清显示器,并对其 LED 背光驱动板进行改造:从背光驱动芯片的 PWM 信号输入脚引出信号线连接到动态背光控制电路的 PWM 信号输出端口,使动态背光控制电路能控制高清显示器的 LED 背光。

本系统使用海信公司的 LED32T36X3D 高清电视,其背光驱动芯片为 MAX16814。从 MAX16814 的 PWM 信号输入脚(13 脚)引出信号线连接到动态背光控制电路的 PWM 信号输出端口。

3.2 算法设计和实现

3.2.1 基于图像分类的全局调光算法

基于图像分类的全局调光算法将特征值相近

的图像归为一类,共分为 6 类分别处理,从而很好地提高对比度并降低功耗。

基于图像分类的全局调光算法分为以下几个步骤:

(1) 将视频信号数据灰度化,得到每个像素的灰度值。

(2) 对图像进行分类,过程如下:

① 由得到的灰度值计算整幅图像的灰度平均值 $G_{\text{avg-total}}$

② 将灰度化后的图像分成 48×64 块,计算每块的灰度平均值,取所有灰度平均值中的最大值 $G_{\text{max-block}}$ 和最小值 $G_{\text{min-block}}$ 。

③ 对 $G_{\text{max-block}}$ 和 $G_{\text{min-block}}$ 分类处理,得出对比度 $CR = G_{\text{max-block}} / G_{\text{min-block}}$ 。

④ 将灰度化后的图像分成 12×16 块,计算每块的灰度平均值,取所有灰度平均值中的最大值 $L_{\text{max-blu}}$ 。记每个像素的 R、G、B 分量的最大值为该像素的像素值 L_{pixel} ,得出所有像素值的最大值 L_{max} 和平均值 L_{mean} 。

⑤ 统计图像中 L_{pixel} 值依次为 0~255 的像素点个数 n_i (i 为当前像素值),然后将 n_i 按照 i 递增的顺序累加,当累加结果大于或等于 1920×1080 图像像素点总数的 75% 时,记当前 i 值为 L 。同理得出 25% 和 50% 处的像素值,分别记为 L_{25} 和 L_{50} 。

⑥ 所有图像依据 $G_{\text{avg-total}}$ 、 CR 、 L_{max} 、 L_{mean} 、 $L_{75\text{-blu}}$ 等特征值的不同,分为高亮度高对比度、高亮度低对比度、中间亮度高对比度、中间亮度低对比度、低亮度高对比度、低亮度低对比度这 6 类。

(3) 根据图像类型采用最优参数值进行相应处理,得出调整后的背光亮度值和像素值。

3.2.2 算法的 FPGA 实现

本系统基于 QuartusII 软件,采用 VHDL 语言编程实现基于图像分类的全局调光算法。FPGA 内部模块逻辑连接图如图 3 所示。

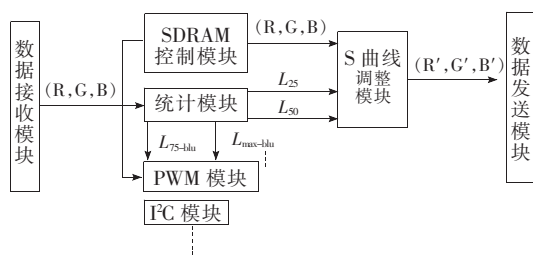


图 3 FPGA 内部模块逻辑连接图

Fig. 3 Diagram of FPGA internal module connection

(1) I²C 模块对解码芯片 AD9880 和编码芯片 AD9889 进行初始化配置。本系统所使用视频源的色度空间包括 RGB 和 YCbCr 两种, I²C 模块需要识别两种色度空间,并针对两种色度空间进行不同的配置。

(2) 数据接收模块接收解码芯片 AD9880 输出的高清视频数据,数据发送模块将处理后的高清视频数据发送给编码芯片 AD9889。

(3) SDRAM 控制模块以乒乓操作方式交错对两个 SDRAM 进行数据存/取,从而为 FPGA 提供足够的时间来处理数据^[4-5]。

两片 SDRAM 均采用 4 路交错式内存控制方式。在一个 L-Bank 工作时,对下一个要工作的 L-Bank 的同一行进行行激活。行激活与数据的传输交错执行,当访问下一个 L-Bank 时, tRCD 已过,可以直接进行读/写^[6]。这就实现了 1024 个像素数据的无缝存/取。1920×1080 像素视频每行有 1920 个像素数据,故需进行两次 4 路交错式内存控制才能实现存/取。两次存/取之间必须采取预充电等操作保证 SDRAM 正常工作,这需要 10 个像素周期,与此同时像素数据仍在输入,所以采用异步 fifo 进行缓存,将 1025~1920 的像素数据整体后移 10 个像素周期。通过这种方式将 1920 个像素数据和 SDRAM 的存/取信号完全对齐,实现了对每行 1920 个像素数据的无缝存/取。

(4) 统计模块统计图像的灰度分布,得出 L_{25} 、 L_{50} 、 $L_{75\text{-blu}}$ 、 $L_{\text{max-blu}}$ 等统计值。

以计算 L 为例,其框图如图 4 所示。该部分主要由双口 RAM 控制模块、双口 RAM、加法器、累加器、比较器和灰度获取模块组成。

双口 RAM 控制模块以当前像素的 L_{pixel} 值为地址。每个像素周期,加法器将该地址对应存储单元的数据加 1 后存入该单元。例如:某一像素周期的 L_{pixel} 值为 n ,则其对应的双口 RAM 的存储地址为 n ,假设此存储单元内的当前数值为 m ,这表明此前已经有 m 个像素点的 L_{pixel} 值为 n 。双口 RAM 将第 n 个存储单元中的数值 m 输出给加法器,加法器将 m 加 1 后存入双口 RAM 的第 n 个存储单元。每个像素周期均如此操作。每帧结束后,双口 RAM 控制模块依次从 0~255 个存储单元读取数据,并送到累加器,将每次累加结果

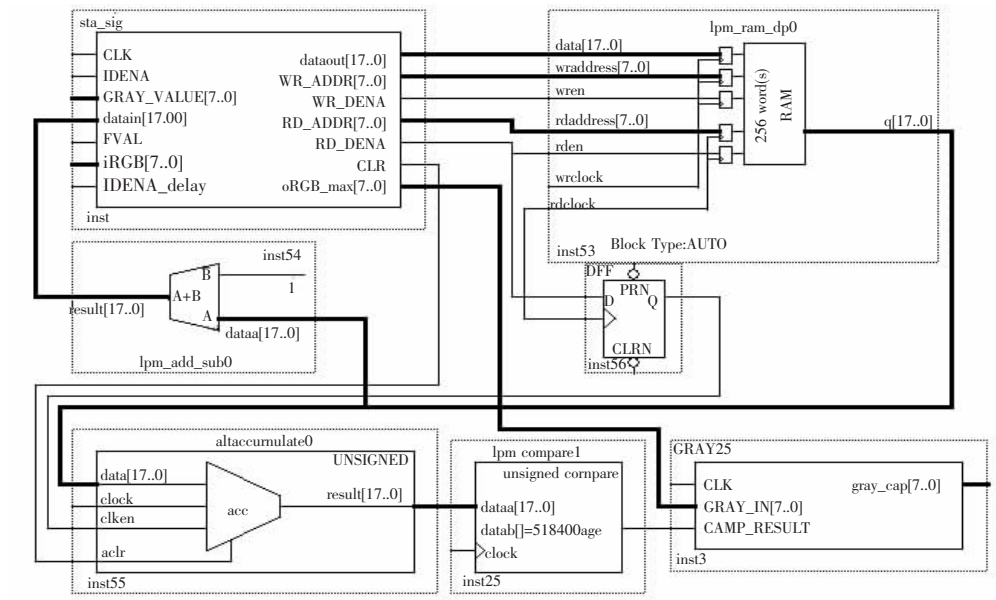


图 4 25%处灰度值的统计模块图

Fig. 4 Statistics module of the 25% gray value

送到比较器,当累加结果大于或等于目标值时,累加器输出使能信号。灰度获取模块在使能信号的控制下锁存当前 L_{pixel} 值,即灰度值 L_{25} 。

(5) S 曲线调整模块。该模块根据图像类型选择不同的 a 值,然后根据公式(1)计算像素调节因子

$$K_{\text{lcd}}(i,j) = L'_{\text{out}}(i,j)/L_{\text{pixel}}(i,j) \quad (1)$$

$$R_1(i,j) = R(i,j) \times K_{\text{lcd}}(i,j) \quad (2)$$

$$G_1(i,j) = G(i,j) \times K_{\text{lcd}}(i,j) \quad (3)$$

$$B_1(i,j) = B(i,j) \times K_{\text{lcd}}(i,j) \quad (4)$$

根据公式(2)、(3)、(4)对原 RGB 数据进行调整、输出,从而提高高清数字电视的对比度。其框图如图 5 所示。

其中的 6 个 ROM 分别存储根据 6 类图像的不同 a 值计算出的 L'_{out} 。图像分类模块根据图像的灰度平均值 $G_{\text{aveg-total}}$ 和对比度 CR 等特征值判断当前图像类型,并产生选择信号 $\text{sel}[2:0]$,控制多路选择器选择相应的 L'_{out} 值。乘法器和除法器配合,实现原 RGB 数据乘 L'_{out} 然后除 L_{pixel} (即原 RGB 数据与像素调节因子相乘),得出调整后的 RGB

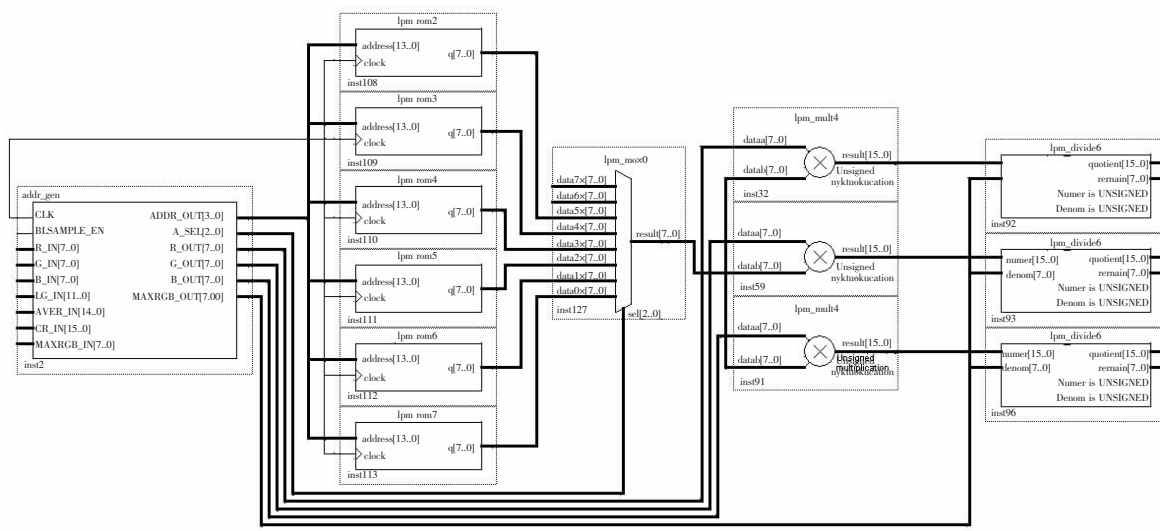


图 5 S 曲线调整模块框图

Fig. 5 Block diagram of S-curve adjustment module

数据。

(6) PWM 模块产生控制高清数字电视 LED 背光亮度的 PWM 信号,从而调整 LED 背光的亮度。

该模块由统计模块得到参数 $L_{\max\text{-blu}}$ 和 $L_{75\text{-blu}}$ 。若 $L_{75\text{-blu}}$ 大于 250,则当前图像为高亮度图像,取背光亮度 K_{BLU} 为 1,此时 LED 背光亮度最大;若 L_{BLU} 大于或等于 230 且 $G_{\text{avg-total}}$ 小于 130,则当前图像整体亮度不高但存在高亮度区域,取背光亮度 $K_{\text{BLU}} = \{L_{\text{mean}} + 0.5 \times [L_{\max} - L_{\text{mean}} + (L - L_{\text{mean}})^2/255]\}/255$;若各特征参数均不满足上述条件,则取背光亮度 $K_{\text{BLU}} = \{L_{\text{mean}} + 0.3 \times [L_{\max} -$

$L_{\text{mean}} + (L_{\max} - L_{\text{mean}})^2/255]\}/255$ 。然后依据背光亮度值 K_{BLU} 生成相应的 PWM 信号。

4 实验结果

硬件调试完毕后对整个系统进行测试。实测效果如图 6 所示,左侧为视频信号没有经过处理的高清显示系统,显示当前图像的功率为 52.3 W;右侧为高清显示器背光受动态背光控制电路控制的高清显示系统,其功率只有 44.8 W,功耗降低 14.3%。并且,右侧的高清显示器的对比度为 110.36,较左侧的 47.52 提高了 132%。



图 6 系统实测效果图

Fig. 6 System measured effect diagram

5 结 论

该系统以 FPGA 为主控芯片设计了硬件系统,并软件实现了基于图像分类的全局调光算法,使高清显示器的对比度显著提高、功耗显著

降低,即提高了高清显示器用户的视觉感受,又达到了节能的目的,且对高清显示器的改造非常简单,具有可靠性高、功耗低、成本低、灵活性等特点。

参 考 文 献:

- [1] 华广胜,布占场,郑效盼,等.低功耗液晶电视 LED 背光源设计 [J]. 液晶与显示,2011,26(4):460-463.
- [2] 欧海燕,郭太良,姚剑敏,等.基于分层色调映射的 LED 背光调制算法 [J]. 液晶与显示,2011,26(2):246-249.
- [3] 章小兵,王茹,董戴,等.基于局部均值和标准差的 LCD 动态背光调整 [J]. 液晶与显示,2011,26(5):698-701.
- [4] 吕耀文,王建立,曹景太,等.移动便携图像存储系统的设计 [J]. 液晶与显示,2012,27(5):697-702.
- [5] 吉倩倩,苏光大,向守兵.嵌和式邻域图像并行处理机的液晶显示系统设计 [J]. 液晶与显示,2011,26(6):768-773.
- [6] 马飞,黄蓀,赵博华,等.基于 FPGA 的 LCoS 显示驱动系统的设计与实现 [J]. 液晶与显示,2012,27(3):364-370.